

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-183223

(43)Date of publication of application : 30.06.2000

(51)Int.Cl.

H01L 23/12

H01L 21/60

(21)Application number : 10-358258

(71)Applicant : DAINIPPON PRINTING CO LTD

(22)Date of filing : 16.12.1998

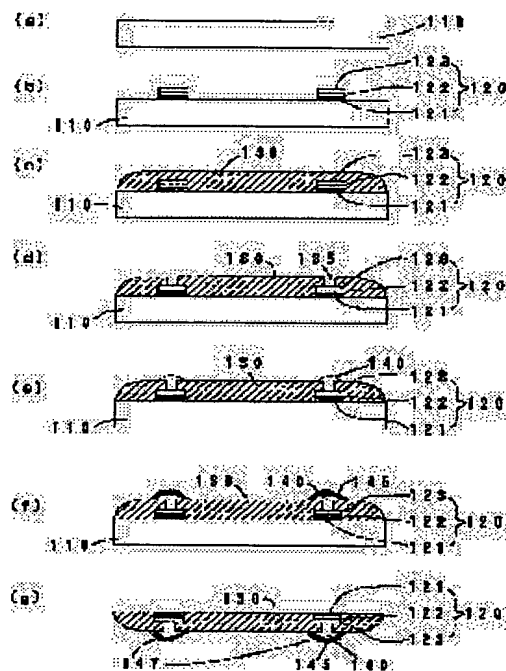
(72)Inventor : KURAMOCHI SATORU

(54) WIRING MEMBER AND MANUFACTURE THEREOF

(57)Abstract:

PROBLEM TO BE SOLVED: To correspond a wiring member to the multiterminal structure of a semiconductor element, to enhance the reliability of the wiring member to an electrical connection and to enable high-density mounting of the wiring member, by a method wherein an electrodeposited resin layer is cured, a base region part used as a base is formed by curing the resin layer, a conductive base material is etched to separate a wing part and the base resin part from one surface of the conductive base material.

SOLUTION: An electrodeposited resin layer 130 is provided, in such a way as to cover wiring parts 120 by electrodeposition, the layer 130 is cured and a resin part formed by curing the layer 130 is used as a base. Then the layer 130 is subjected to perforating work, so that the region only of each one part of the parts 120 is made to expose. Then Cu-plated layers 140 are filled in hole parts 135 by plating on the parts 120 exposed by the perforating work, in such a way as to reach up to the surface of the layer 130 located on the opposite side to the side of a conductive substrate 110 and are formed, in such a way as to rise to the outside. Then the substrate 110 only is etched away and an interposer for mounting a flip-chip on a wiring board is formed separately from the substrate 110.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-183223

(P2000-183223A)

(43) 公開日 平成12年6月30日 (2000.6.30)

(51) Int.Cl. ⁷	識別記号	F I	タームコード* (参考)
H 0 1 L 23/12		H 0 1 L 23/12	L 5 F 0 4 4
21/60	3 1 1	21/60	3 1 1 S

審査請求 未請求 請求項の数 8 O L (全 9 頁)

(21) 出願番号 特願平10-358258

(22) 出願日 平成10年12月16日 (1998.12.16)

(71) 出願人 000002897

大日本印刷株式会社

東京都新宿区市谷加賀町一丁目1番1号

(72) 発明者 倉持 悟

東京都新宿区市谷加賀町一丁目1番1号

大日本印刷株式会社内

(74) 代理人 100111659

弁理士 金山 聡

Fターム (参考) 5F044 KK03 KK13 KK17 KK18 KK19

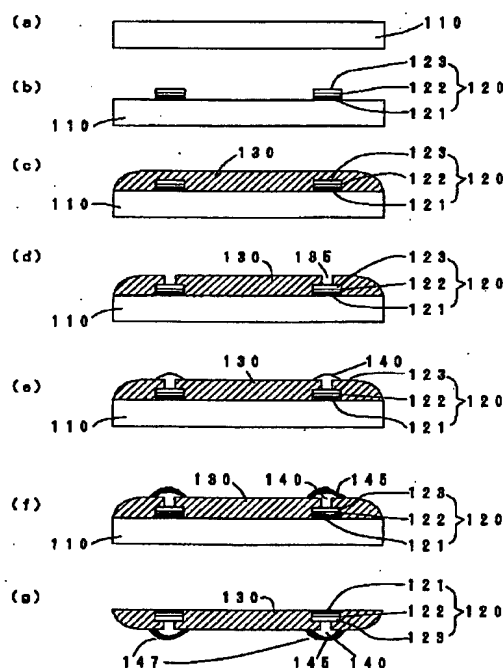
QQ01

(54) 【発明の名称】 配線部材の製造方法と配線部材

(57) 【要約】

【課題】 フリップチップをプリント回路基板に搭載するためのインターポーザ、あるいは半導体素子と一体としてBGAタイプの半導体装置を形成すると配線基板に適用できる、電着樹脂層からなるベース樹脂部と配線部とを備えた配線部材で、半導体素子の多端子化に対応でき、更に、信頼性の面、作製上の面でも対応できる配線部材と、その製造方法の提供する。

【解決手段】 電着樹脂層からなる樹脂部をベースとして配線部を備えた配線部材の製造方法であって、(A) 板状の導電性基材の一面に、配線部の少なくとも一部を形成する配線部形成工程と、(B) 前記配線部を覆うように、板状の導電性基材の配線部形成側全面に、電着により絶縁性の電着樹脂層を設け、これを硬化させてベースとするベース樹脂部形成工程と、(C) 前記導電性基材をエッチングして、前記配線部とベース部を、前記導電性基材の一面から分離するエッチング分離工程とを含む。



【特許請求の範囲】

【請求項1】 電着樹脂層からなる樹脂部をベースとして配線部を備えた配線部材の製造方法であって、(A) 板状の導電性基材の一面に、配線部を形成する配線部形成工程と、(B) 前記配線部を覆うように、板状の導電性基材の配線部形成側全面に、電着により絶縁性の電着樹脂層を設け、これを硬化させてベースとするベース樹脂部形成工程と、(C) 前記導電性基材をエッチングして、前記配線部とベース樹脂部を、前記導電性基材の一面から分離するエッチング分離工程とを含むことを特徴とする配線部材の製造方法。

【請求項2】 配線部材が、フリップチップ(FCとも言う)をプリント回路基板に搭載するためのインターポーザ、あるいは半導体素子と一体としてBGA(Ball Grid Array)タイプの半導体装置を形成するものであることを特徴とする請求項1記載の配線部材の製造方法。

【請求項3】 請求項1ないし2において、配線部形成工程は、Auメッキ層、あるいは、Auメッキ層、Niめっき層、Cuめっき層をこの順にめっき形成するものであることを特徴とする配線部材の製造方法。

【請求項4】 請求項1ないし3において、ベース樹脂部形成工程に引続き、順に、(D) ベース樹脂部をレーザ加工ないしフォトリソグラフィ法を用いて孔加工し、配線部形成工程により形成された配線の一部領域のみを露出させる工程と、(E) 露出された配線部にめっきにより、ベース樹脂部の前記導電性基材側とは反対側の面にまで達するように、孔加工部に導電層を充填し、必要に応じて、外側に盛り上がるように形成する充填タイプのスルーホール形成工程を行い、更に、露出した導電層の表面部にAuめっき層を設けておき、この後、エッチング分離工程を行うことを特徴とする配線部材の製造方法。

【請求項5】 半導体素子と一体としてBGA(Ball Grid Array)タイプの半導体装置を形成する、配線部材の製造方法であって、配線部形成工程は、導電性基材の一面の外部端子形成箇所を凹状にして、凹状の箇所を含む領域に、配線部を形成するもので、配線部形成工程に引続き、半導体素子を搭載する半導体素子搭載工程を行った後に、ベース樹脂部形成工程を行うことを特徴とする請求項1ないし3記載の配線部材の製造方法。

【請求項6】 請求項1ないし5において、導電性基材が、銅基板であることを特徴とする配線部材の製造方法。

【請求項7】 請求項1ないし6において、電着樹脂層が、ポリイミド樹脂であることを特徴とする配線部材の製造方法。

【請求項8】 請求項1ないし7の配線の部材の製造方法により、作製されたことを特徴とする配線部材。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、配線部材の製造方法に関するもので、特に、フリップチップをプリント回路基板に搭載するためのインターポーザとして、あるいはBGA(Ball Grid Array)タイプの半導体装置用に適用できる配線部材で、電着樹脂層からなるベース樹脂部と配線部を備えた配線部材と、その製造方法に関する。

【0002】

【従来の技術】近年、半導体装置は、電子機器の高性能化と軽薄短小の傾向からLSI、ASICに代表されるように、ますます高集積化、高性能化の一途をたどってきている。これに伴い、信号の高速処理には、パッケージ内部のスイッチングノイズが無視できない状況になってきて、特に、ICの同時スイッチングノイズにはパッケージ内部配線の実効インダクタンスが大きく影響を与える為、主に、電源やグラウンドの本数を増やしてこれに対応してきた。この結果、半導体装置の高集積化、高機能化は外部端子総数の増加を招き、半導体装置の多端子化が求められるようになってきた。多端子IC、特にゲートアレイやスタンダードセルに代表されるASICあるいは、マイコン、DSP(Digital Signal Processor)等をコストパフォーマンス高くユーザに提供するパッケージとしてリードフレームを用いたプラスチックQFP(Quad Flat Package)が主流となり、現在では300ピンを超えるものまで実用化に至っている。QFPは、ダイパッド上に半導体素子を搭載し、銀めっき等の表面処理がなされたインナーリード先端部と半導体素子の端子とをワイヤにて結線し、封止樹脂で封止を行い、この後、ダムバー部をカットし、アウターリードを設けた構造で多端子化に対応できるものとして開発されてきた。ここで用いる単層リードフレームは、通常、42合金(42%ニッケル-鉄合金)あるいは銅合金などの電気伝導率が高く、且つ機械的強度が大きい金属材料を素材とし、フォトリソグラフィ法あるいはスタンピング法により、外形加工されていた。

【0003】しかし、半導体素子の信号処理の高速化、高機能化は、更に多くの端子数を必要とするようになってきた。QFPでは外部端子ピッチを狭めることにより、パッケージサイズを大きくすることなく多端子化に対応してきたが、外部端子の狭ピッチ化に伴い、外部端子自体の幅が細くなり、外部端子の強度が低下するため、フォーミング等の後工程におけるアウターリードのスキュー対応やコプラナリティ(平坦性)維持が難しくなり、実装に際しては、パッケージ搭載精度維持が難しくなるという問題を抱えていた。このようなQFPの実装面での問題に対応するため、BGA(Ball Grid Array)と呼ばれるブラスチックパッケ

ージが開発されてきた。このBGAは、通常、両面基板の片面に半導体素子を搭載し、もう一方の面に球状の半田ボールを通じて半導体素子と外部端子（半田ボール）との導通をとったもので、実装性の対応を図ったパッケージである。BGAはパッケージの4辺に外部端子を設けたQFPに比べ、同じ外部端子数でも外部端子間隔（ピッチ）を大きくとれるという利点があり、半導体実装工程を難しくすることなく、入出力端子の増加に対応できた。このBGAはBTレジン（ビスマレイド樹脂）を代表とする耐熱性を有する平板（樹脂板）の基材の片面に半導体素子を搭載するダイパッドと半導体素子からボンディングワイヤにより電気的に接続されるボンディングパッドを持ち、もう一方の面に、外部回路と半導体装置との電気的、物理的接続を行う格子状あるいは千鳥状に二次元的に配列された半田ボールにより形成した外部接続端子をもち、外部接続端子とボンディングパッドの間を配線とスルーホール、配線により電気的に接続している構造である。

【0004】しかしながら、このBGAは、めっき形成したスルーホールを介して、半導体素子とボンディングワイヤで結線を行う配線と、半導体装置化した後にプリント基板に実装するための外部接続端子部（単に外部端子部とも言う）とを、電気的に接続した複雑な構造で、樹脂の熱膨張の影響により、スルーホール部に断線を生じる等信頼性の面で問題があり、且つ作製上の面でも問題が多かった。

【0005】この為、作製プロセスの簡略化、信頼性の向上をはかり、従来のリードフレームの作製と同様、金属薄板をエッチング加工等により所定の形状加工し、これ（リードフレームとも言う）をコア材として、配線を形成したBGAタイプの半導体装置も種々提案されている。このタイプのものは、基本的に、金属薄板の板厚に加工精度、配線の微細化が制限される。

【0006】

【発明が解決しようとする課題】上記のように、BTレジン（ビスマレイド樹脂）を用いたBGAは、多端子化には有利であるものの、信頼性の面、作製上の面で問題が多く、また金属薄板をエッチング加工等により所定の形状加工したもの（リードフレーム）をコア材として配線を形成したBGAタイプ（エリアアレイタイプとも言う）のものは、近年の更なる多端子化には対応できないという問題がある。本発明は、これらの問題に対応するもので、具体的には、フリップチップを配線基板に搭載するためのインターポーザ、あるいは、半導体素子と一体としてBGAタイプの半導体装置を形成する配線部材として適用できる、電着樹脂層からなるベース樹脂部と配線部とを備えた配線部材で、半導体素子の多端子化に対応でき、更に、信頼性の面、作製上の面でも対応できる配線部材と、その製造方法を提供しようとするものである。

【0007】

【課題を解決するための手段】本発明の配線部材の製造方法は、電着樹脂層からなる樹脂部をベースとして配線部を備えた配線部材の製造方法であって、（A）板状の導電性基材の一面に、配線部を形成する配線部形成工程と、（B）前記配線部を覆うように、板状の導電性基材の配線部形成側全面に、電着により絶縁性の電着樹脂層を設け、これを硬化させてベースとするベース樹脂部形成工程と、（C）前記導電性基材をエッチングして、前記配線部とベース樹脂部を、前記導電性基材の一面から分離するエッチング分離工程とを含むことを特徴とするものである。そして、上記において、配線部材が、フリップチップ（FCとも言う）をプリント回路基板に搭載するためのインターポーザ、あるいは半導体素子と一体としてBGA（Ball Grid Array）タイプの半導体装置を形成するものであることを特徴とするものである。そしてまた、上記において、配線部形成工程は、Auメッキ層、あるいは、Auメッキ層、Niめっき層、Cuめっき層をこの順にめっき形成するものであることを特徴とするものである。また、上記において、ベース樹脂部形成工程に引続き、順に、（D）ベース樹脂部をレーザー加工ないしフォトリソグラフィ法を用いて孔加工し、配線部形成工程により形成された配線の一部領域のみを露出させる工程と、（E）露出された配線部にめっきにより、ベース樹脂部の前記導電性基材側とは反対側の面にまで達するように、孔加工部に導電層を充填し、必要に応じて、外側に盛り上がるように形成する充填タイプのスルーホール形成工程を行い、更に、露出した導電層の表面部にAuめっき層を設けておき、この後、エッチング分離工程を行うことを特徴とするものである。あるいはまた、上記において、半導体素子と一体としてBGA（Ball Grid Array）タイプの半導体装置を形成する、配線部材の製造方法であって、配線部形成工程は、導電性基材の一面の外部端子形成箇所を凹状にして、凹状の箇所を含む領域に、配線部を形成するもので、配線部形成工程に引続き、半導体素子を搭載する半導体素子搭載工程を行った後に、ベース樹脂部形成工程を行うことを特徴とするものである。また、上記において、導電性基材が、銅基板であることを特徴とするものである。また、上記において、電着樹脂層が、ポリイミド樹脂であることを特徴とするものである。

【0008】本発明の配線部材は、上記本発明の配線の部材の製造方法により、作製されたことを特徴とするものである。

【0009】

【作用】本発明の配線部材の製造方法は、このような構成にすることにより、フリップチップを配線基板に搭載するためのインターポーザ、あるいは半導体素子と一体としてBGA（Ball Grid Array）タイ

ブの半導体装置を形成する配線部材として適用できる、電着樹脂層からなるベース樹脂部と配線部とを備えた配線部材で、半導体素子の多端子化に対応でき、更に、信頼性の面、作製上の面でも対応できる配線部材と、その製造方法の提供をかねるものである。具体的には、電着樹脂層からなる樹脂部をベースとして配線部を備えた配線部材の製造方法であって、(A)板状の導電性基材の一面に、配線部を形成する配線部形成工程と、

(B)前記配線部を覆うように、板状の導電性基材の配線部形成側全面に、電着により絶縁性の電着樹脂層を設け、これを硬化させてベースとするベース樹脂部形成工程と、(C)前記導電性基材をエッチングして、前記配線部とベース樹脂部を、前記導電性基材の一面から分離するエッチング分離工程とを含むことにより、特に、配線部形成工程は、Auメッキ層、あるいは、Auメッキ層、Niめっき層、Cuめっき層をこの順にめっき形成するものであることにより、これを達成している。

【0010】更に具体的には、ベース樹脂部形成工程に引続き、順に、(D)ベース樹脂部をレーザ加工ないしフォトリソグラフィ法を用いて孔加工し、配線部形成工程により形成された配線の一部領域のみを露出させる工程と、(E)露出された配線部にめっきにより、ベース樹脂部の前記導電性基材側とは反対側の面にまで達するように、孔加工部に導電層を充填し、必要に応じて、外側に盛り上がるように形成する充填タイプのスルーホール形成工程を行い、更に、露出した導電層の表面部にAuめっき層を設けておき、この後、エッチング分離工程を行うことにより、容易に、且つ信頼性の面、作製上の面で有利で、半導体素子の多端子化や薄型化にも対応できるフリップチップ搭載用のインターポーザの提供を可能とするものである。この場合、信頼性の高い充填タイプのスルーホールを形成した構造で、電着樹脂層からなる樹脂部であるベースの表裏の電氣的接続を信頼性良くできる。特に、エリアアレイタイプの外部端子を有するインターポーザの作製も容易にでき、半導体素子の多端子化に対応できる。

【0011】あるいはまた、配線部形成工程は、導電性基材の一面の外部端子形成箇所を凹状にして、凹状の箇所を含む領域に、配線部を形成するもので、配線部形成工程に引続き、半導体素子を搭載する半導体素子搭載工程を行った後に、ベース樹脂部形成工程を行うことにより、半導体素子と一体としてBGA(Ball Grid Array)タイプの半導体装置を形成する、配線部材の製造ができる。

【0012】導電性基材としては、電着樹脂層からなる樹脂部と配線部から容易に分離可能なものが好ましく、且つ配線部形成工程における配線部を分離する際に配線部を破損しないエッチング方法が用いられる処理に対応できることが必要である。経済的な面等から導電性基材とし銅基板が挙げられるが、特にこれに限定はされな

い。

【0013】電着樹脂層は、電氣的絶縁性、強度の点で優れたものが好ましいが、特に限定はされない。例えば、カルボキシル基を有する溶剤可溶性ポリイミド、溶剤、中和剤を含むポリイミド電着液を用いて電着形成されたものが挙げられる。

【0014】本発明の配線部材は、上記本発明の配線部材の製造方法により作製されたもので、フリップチップを配線基板に搭載するためのインターポーザないし、半導体素子と一体としてBGA(Ball Grid Array)タイプの半導体装置を形成する配線部材で、電着樹脂層からなるベース樹脂部と配線部とを備えた配線部材であり、半導体素子の多端子化や、実装する際の薄型化にも対応できる。

【0015】尚、本発明の配線部材は、CSP(Chip Size Package)タイプの配線基板や、MCM(Multi Chip Module)配線基板にも適用できることは言うまでもない。

【0016】

【発明の実施の形態】本発明の実施の形態を挙げて、図に基づいて説明する。図1は本発明の配線部材の製造方法の実施の形態の第1の例の工程断面図で、図2は本発明の配線部材の製造方法の実施の形態の第2の例の工程断面図で、図3(a)は図2に示す第2の例の製造方法により作製された半導体素子を搭載した配線部材の断面図で、図3(b)は図3(a)のA0側からみた配線部の形状を示したものである。尚、図1、図2は一断面のみを示したものである。また、図3(a)は図3(b)のA1-A2における断面図である。図1～図3中、110は導電性基板、120は配線部、121はAuめっき層、122はNiめっき層、123はCuめっき層、130は電着樹脂層、135は孔部、140はめっき層(銅めっき層)、145はAuめっき層、147は外部端子部、210は導電性基板、215は凹部、220はレジスト、230はめっき層(Auめっき層)、235は外部端子部、250は半導体素子、255は端子部(パッド)、260は電着樹脂層である。

【0017】はじめに、本発明の配線部材の製造方法の実施の形態の第1の例を図1に基づいて説明する。第1の例は、フリップチップをプリント回路基板に搭載するためのインターポーザで、電着樹脂層からなるベース樹脂部と配線部とを備えた配線部材の製造方法である。先ず、導電性基板110(図1(a))の一面に、配線部120を形成する。(図1(b))

導電性基板の材質としては、後工程で形成する電着樹脂部と容易に分離可能なものが好ましい。エッチング分離するにはできるだけ薄いものが好ましい。本例では、銅基板を用いるが、これに限定はされない。また、後述する工程で導電性基板110をエッチングして配線部を分離する際に、配線部がエッチングにより破損しないよう

に、導電性基板110、配線部120の材質、および処理を選ぶことが必要である。本例では、配線部120を形成する領域のみを露出させた状態でめっきレジストを形成しておき、電解AuめっきによりAuめっき層121を形成し、さらにその上にNiめっき層122、Cuめっき層123を形成する。Auめっき層121は、上記エッチングに耐えるための層で、Cuめっき層123は配線部120の主材となるもので、Niめっき層122は、Auめっき層121とCuめっき層123との密着性を向上させるためのものである。

【0018】次いで、配線部120を覆うように電着により電着樹脂層130を設け、これを硬化させて、硬化した樹脂部をベースとする。(図1(c))

電着樹脂層は、電気的絶縁性、化学的安定性、強度の点で優れたものが好ましいが、特に限定はされない。電着樹脂層130を電着形成するための電着液に用いられる高分子としては、電着性を有する各種アニオン性、またはカチオン性合成高分子樹脂を挙げることができる。アニオン性高分子樹脂としては、アクリル樹脂、ポリエステル樹脂、マレイン化油樹脂、ポリブタジエン樹脂、エポキシ樹脂、ポリアミド樹脂、ポリイミド樹脂等を単独で、あるいは、これらの樹脂の任意の組合せによる混合物として使用できる。さらに、上記のアニオン性合成樹脂とメラミン樹脂、フェノール樹脂、ウレタン樹脂等の架橋性樹脂とを併用しても良い。また、カチオン性合成高分子樹脂としては、アクリル樹脂、エポキシ樹脂、ウレタン樹脂、ポリブタジエン樹脂、ポリアミド樹脂、ポリイミド樹脂等を単独で、あるいは、これらの任意の組合せによる混合物として使用できる。さらに、上記のカチオン性合成高分子樹脂とポリエステル樹脂、ウレタン樹脂等の架橋性樹脂を併用しても良い。また、上記の高分子樹脂に粘着性を付与するために、ロジン系、テルペン系、石油樹脂等の粘着性付与樹脂を必要に応じて添加することも可能である。上記高分子樹脂は、アルカリ性または酸性物質により中和して水に可溶化された状態、または水分散状態で電着法に供される。すなわち、アニオン性合成高分子樹脂は、トリメチルアミン、ジエチルアミン、ジメチルエタノールアミン、ジイソプロパノールアミン等のアミン類、アンモニア、苛性カリ等の無機アルカリで中和する。カチオン性合成高分子樹脂は、酢酸、ギ酸、プロピオン酸、乳酸等の酸で中和する。そして、中和された水に可溶化された高分子樹脂は、水分散型または溶解型として水に希釈された状態で使用される。特に、絶縁性、強度、化学的安定性の面から電着樹脂層130がポリイミド樹脂であると好ましい。例えば、カルボキシル基を有する溶剤可溶性ポリイミド、溶剤、中和剤を含むポリイミド電着液を用いて電着形成されるものが挙げられる。

【0019】次いで、配線部120の一部領域のみを露出させるように、電着樹脂層130を孔明け加工する。

(図1(d))

孔明け加工方法としては、レーザ加工ないしフォトリソグラフィ法を用いたエッチングによる孔加工が挙げられる。

【0020】次いで、孔明け加工により露出された配線部120上にめっきにより、電着樹脂部130の導電性基板110側とは反対側の面にまで達するように、孔部135にCuめっき層140を充填し、外側に盛り上がるように形成し(図1(e))、更に、露出したCuめっき層140の表面部にAuめっき層145を設けておく。(図1(f))

Auめっき層145は、後述する導電性基板(銅基板)110のエッチングに耐えるための層である。

【0021】次いで、導電性基板(銅基板)110のみをエッチング除去し、フリップチップを配線基板に搭載するためのインターポーザを、導電性基板(銅基板)110から分離して形成する。(図1(g))

エッチング液としては、塩化第二鉄溶液等が用いられる。図1は説明を分かり易くするために一断面のみを示したが、言うまでもなく、配線部120および外部端子部147は、二次元的に種々の形状に形成ないし配置にすることができる。このため、このようにして作製される配線基板は、CSP(Chip Size Package)やMCM(Multi Chip Module)用、BGA用の配線基板としても適用可能である。

【0022】次に、本発明の配線部材の製造方法の実施の形態の第2の例を図2に基づいて説明する。第2の例は、半導体素子と一体としてBGA(Ball Grid Array)タイプの半導体装置を形成する、電着樹脂層からなるベース樹脂部と配線部とを備えた配線部材の製造方法である。まず、導電性基板110(図2(a))の一面に、外部端子形成箇所を凹状にして(図2(b))、凹状の箇所(以下凹部215と言う)を含む領域に、配線部120を形成する。(図2(c))

凹部215の形成は、フォトリソグラフィにより所定の領域をエッチングすることによって形成することができるが、機械的な孔明け加工でも良い。本例では、導電性基板210として銅基板を用い、配線部230を形成する領域のみを露出させた状態でめっきレジスト220を形成しておき、電解AuめっきによりAuめっき層(配線部230)を形成する。(図2(d))

第1の例と同様、導電性基板210、配線部230としては、後述する工程で導電性基板210をエッチングして配線部を分離する際に、配線部230をエッチングにより破損しないことが必要である。本例では、配線部220はAuめっき層のみからなるが、第1の例のように、導電性基板210側からAuめっき層、Niめっき層、Cuめっき層の3層構造にしても良いことは言うまでもない。

【0023】次いで、めっきレジスト220を除去した

後、半導体素子250をその端子部255により、配線部230に搭載する。(図2(f))

配線部230はAuめっき層であり、半導体素子250の端子部255と共晶接合する。

【0024】この状態で、導電性基板210の配線部230形成側に電着により電着樹脂層260を形成する。

(図2(g))

次いで、導電性基板(銅基板)210のみをエッチング除去し、導電性基板(銅基板)210から分離して、半導体素子と一体としてBGA(Ball Grid Array)タイプの半導体装置を形成する、配線部材を作製する。(図2(h))

第1の例と同様、エッチング液としては、塩化第二鉄溶液等が用いられる。

【0025】次に、図2に示す第2の例の製造方法により作製される、半導体素子と一体としてBGAタイプの半導体装置を形成する、配線部材について、その1例を図3に基づいて、更に説明する。図3(a)は図2

(h)に対応する断面図で、図3(b)は図3(a)のA0側からみた図で、点線部は半導体素子領域を示している。配線部230(外部端子部235を含む)は、図2に示す工程にてめっき形成されるため、微細化が可能である。そして、図3(b)に示すように、外部端子部235は二次元的な配列(エリアレイ)配列とすることができ、配線の引きまわしも比較的簡単となる。結局、本発明の配線部材を用いた図3(a)に示すBGAタイプの半導体装置は、半導体素子の多端子化に対応でき、外部端子部235を二次元的に配列させている構造で、配線基板(プリント基板)への実装も実用レベルで行える。

【0026】

【実施例】更に、実施例を挙げて本発明を説明する。

(実施例1)実施例1は、図1に示す第1の例の配線部材の製造方法で、BGAタイプの半導体装置形成用のイ*

(スルファミン酸ニッケル浴の組成)

Ni(NH₂SO₃)₂・6H₂O 400g/l

H₂BO₃ 30g/l

NiCl₂・6H₂O 15g/l

添加剤(メルテック株式会社製)

ナイカルPC-3 30ml/l

ニッケルグリーンNAW-4 0.02ml/l

浴温度 55°C

pH 4.0

③Cuめっき条件

導電性基板110と含銅電極とを対向させて下記の組成の硫酸銅めっき浴中に浸漬し、直流電源の陽極に含銅電極を、陰極に導電性基板110を接続し、電流密度2A/dm²で24分間の通電を行い、レジストに覆われていない導電性基板110の露出部に膜厚約8μmの銅めっき膜形成した。

*インターポーザを形成したものである。図1に基づいて説明する。導電性基板110として厚さ0.1mmを用い(図1(a))、この一面に市販のフォトリソ、P MER AR900(東京応化工業株式会社製)をスピンコート法により膜厚約10μmに塗布して、オープン85°C、30分間乾燥を行った。そして、所定のフォトリソマスクを用いて、露光装置P-202-G(大日本スクリーン製造株式会社製)を用いて密着露光を行った。露光条件は、30countとした。その後、現像、水洗、乾燥をし、所定のパターンを有するレジスト層を形成し、下記①、②、③の各めっき条件にて、順次、厚さ1μmのAuめっき層121、厚さ1μmのNiめっき層122、厚さ8μmのCuめっき層を形成し、所定の剥離液にてレジストを除去し、洗浄処理を施した。(図1(b))

①Auめっき条件

導電性基板110と白金チタン電極を対向させてテンペレジストK-91S(日本高純度化学株式会社製)の電解金めっき浴中に浸漬し、直流電源の陽極に白金電極を、陰極に導電性基板110を接続し、電流密度0.4A/dm²で4.5分間の通電を行い、レジストに覆われていない露出部に膜厚約1μmの金めっき層を形成した。(金めっき液)

メッキ液:テンペレジストK-91S(日本高純度化学株式会社製)

pH 7.3

液温 65°C

②Niめっき条件

導電性基板110とNi電極とを対向させ、下記組成のスルファミン酸ニッケル浴中に浸漬し、直流電源の陽極にNi電極を、陰極に導電性基板110を接続し、電流密度5A/dm²で20分間の通電を行い、レジストに覆われていない導電性基板110の露出部に膜厚約1μmのNiめっき膜を形成した。

(硫酸銅めっき浴の組成)

CuSO₄・5H₂O 200g/l

H₂SO₄ 50g/l

HCl 0.15ml/l(CIとして60ppm)

【0027】次いで、導電性基板110を白金電極と対

向させ、下記のようにして調整したアニオン型の電着液

中に浸漬し、定電圧電源の陽極に導電性基板110を、陰極に白金電極を接続し、150Vの電圧で5分間の電着を行い、これを150°C、5分間で乾燥、熱処理して、導電性基板110の配線部120形成側の表面に厚さ15μmの接着性を有する電着樹脂層130を形成した。(図1(c))

以下のようにポリイミドワニスを作製し、電着液の調整を行った。

<ポリイミドワニスの製造> 11容量の三つ口セバラブルフラスコにステンレス製イカリ攪拌器、窒素導入管及びストップコックの付いたトラップの上に玉付き冷却管をつけた還流冷却器を取り付ける。窒素気流中を流しながら温度調整機のついたシリコン浴中にセバラブルフラスコをつけて加熱した。反応温度は浴温で示す。3、4、3'、4'-ベンゾフェノンテトラカルボン酸ジ無水物(以後BTDAと呼ぶ)32.22g(0.1モル)、ビス(4-(3-アミノフェノキシ)フェニル)スルホン(m-BAPS)21.63g(0.05モル)、γ-バレロラクトン1.5g(0.015モル)、ピリジン2.37g(0.03モル)、NMP(N-メチル-2-ピロリドンの略)200g、トルエン30gを加えて、窒素を通じながらシリコン浴中、室温で30分攪拌(200rpm)、ついで昇温して180°C、1時間、200rpmに攪拌しながら反応させる。トルエン-水留出分15mlを除去し、空冷して、BTDA16.11g(0.05モル)、3、5ジアミノ安息香酸(以後DABzと呼ぶ)15.22g(0.1モル)、NMP119g、トルエン30gを添加し、室温で30分攪拌したのち(200rpm)、次いで昇温して180°Cに加熱攪拌しトルエン-水留出分15mlを除去する。その後、トルエン-水留出分を系外に除きながら、180°C、3時間、加熱、攪拌して反応を終了した。20%ポリイミドワニスを得た。

<電着液の調製> 20%濃度ポリイミドワニス100gに3SN(NMP:テトラヒドロチオフェン-1、1-ジオキシド=1:3(重量)の混合溶液)150g、ベンジルアルコール75g、メチルメルホリン5.0g(中和率200%)、水30gを攪拌して水性電着液を調製する。得られた水性電着液は、ポリイミド7.4%、pH7.8、暗赤褐色透明液である。この後、電着樹脂部を温度200°Cで硬化させた。

【0028】次いで、炭酸ガスレーザーを用いて、電着樹脂層130を孔開け加工して、配線部の所定部分を露出させ(図1(d))、孔部135を埋め、外側に盛り上がるように、Cuめっきを施した。(図1(e))めっき液組成等のめっき条件は前述のCuめっきと同様で、めっき時間のみを変えた。更に、Cuめっき後、銅めっき層140の表面部に、Auめっき層を1μmの厚さにめっき形成した。(図1(f))

めっき条件は前述のAuめっきと同様であった。

【0029】この後、39ボーマの塩化第二鉄溶液にて、導電性基板(銅基板)110をエッチング除去し、洗浄処理を施し、所望のインターポーザを形成した。

(図1(g))

このようにして作製されたインターポーザ(配線部材)は、外部端子部147を、図3(b)の外部端子部235のように二次元的に配列させたもので、配線部120側に半導体素子を搭載して、実際に、BGAタイプの半導体装置を形成し、プリント基板へ搭載してみたが、特に問題もなく実用に耐えることが分かった。

【0030】

【発明の効果】本発明は、上記のように、従来のBTレジジン(ビスマレイド樹脂)を用いたBGAや、金属薄板をエッチング加工等により所定の形状加工したもの(リードフレーム)をコア材として配線を形成したBGAタイプ(エリアアレイタイプとも言う)のものにおける問題を解決できる配線部材、およびその製造方法の提供を可能とした。詳しくは、フリップチップをプリント回路基板に搭載するためのインターポーザ、あるいは半導体素子と一体としてBGAタイプの半導体装置を形成する配線基板に適用できる、電着樹脂層からなるベース樹脂部と配線部とを備えた配線部材で、半導体素子の多端子化に対応でき、更に、信頼性の面、作製上の面でも対応できる配線部材の提供、およびその製造方法の提供を可能とした。これにより、近年の半導体素子多端子化に対応でき、且つ、電気的接続に対し信頼性の高いエリアアレイタイプ半導体装置用の配線部材(インターポーザ)の提供を可能とし、益々の高密度実装を可能とするものである。

【図面の簡単な説明】

【図1】本発明の配線部材の製造方法の実施の形態の第1の例の工程断面図

【図2】本発明の配線部材の製造方法の実施の形態の第2の例の工程断面図

【図3】本発明の配線部材の1例を示した断面図および平面図

【符号の説明】

110	導電性基板
120	配線部
121	Auめっき層
122	Niめっき層
123	Cuめっき層
130	電着樹脂層
135	孔部
140	めっき層(銅めっき層)
145	Auめっき層
147	外部端子部
210	導電性基板
215	凹部
220	レジスト

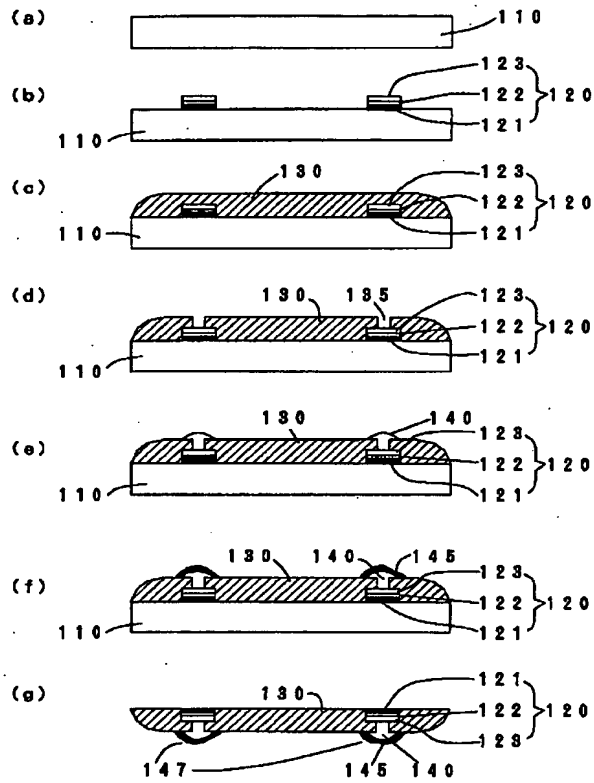
(8)

特開2000-183223

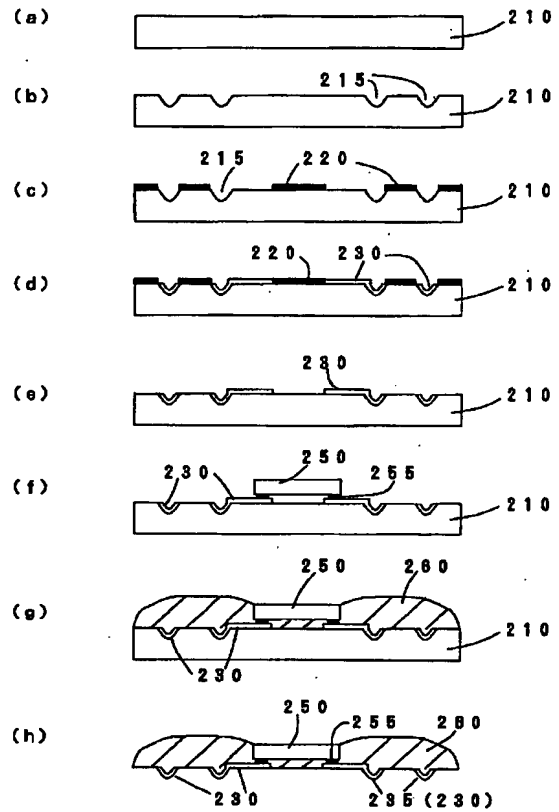
230	めっき層 (Auめっき層)	* 255
235	外部端子部	260
250	半導体素子	*

14
端子部 (パッド)
電着樹脂層

【図1】

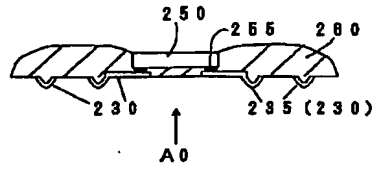


【図2】



【図3】

(a)



(b)

